

Les transistors à effet de champ

A – TRANSISTORS à JONCTION (JFET)

1 – Structure

Contrairement aux transistors bipolaires dont le fonctionnement repose sur *deux types* de porteurs les trous *et* les électrons, les transistors unipolaires fonctionnent avec *un seul type* de charges, les trous *ou* les électrons. Le transistor à effet de champ à jonction est un premier exemple de transistor unipolaire.

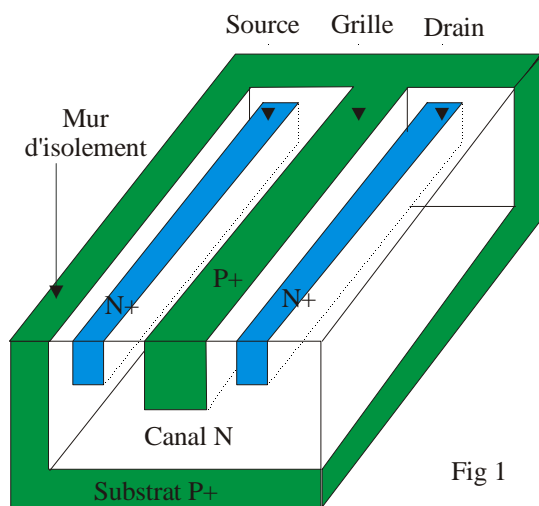


Fig 1

Sur un **substrat** (P^+) très fortement dopé, on diffuse une zone dopée N : le **canal**. Au centre du dispositif, on diffuse une **grille** nommée aussi porte ou gate, dopée P^+ reliée au substrat et de part et d'autre de cette grille, deux îlots très fortement dopés N^+ : la **source** (zone d'entrée des électrons dans le dispositif) et le **drain** (zone de sortie des charges). Il existe aussi des JFET (acronyme pour Junction Field Effect Transistor) ayant un canal P qui sont complémentaires des transistors canal N.

Pour ces transistors canal P, toutes les tensions et les courants sont à inverser.

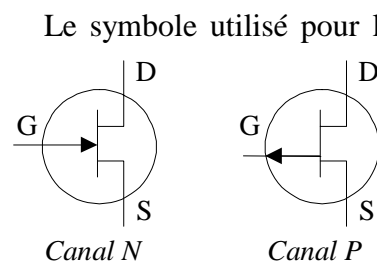


Fig. 2

Le symbole utilisé pour les représenter est donné ci-dessous. Le trait qui correspond au canal est continu. La grille et le canal forment une jonction PN ; la flèche correspondante est orientée dans le sens passant de cette jonction. Sur les schémas, elle est parfois décalée du côté de la source.

2 – Fonctionnement

2.1 – Etude expérimentale

On procède au relevé des caractéristiques en utilisant le montage ci-après. En fonctionnement normal la jonction grille–canal est polarisée en inverse : le courant d'entrée I_G est très faible et les courants drain et source sont identiques.

Dans le réseau des caractéristiques de sortie $I_D = f(V_{DS})$, on observe quatre zones différentes. Une zone linéaire dite résistive, un coude, une zone de saturation ($I_D \approx \text{constant}$) et une zone d'avalanche.

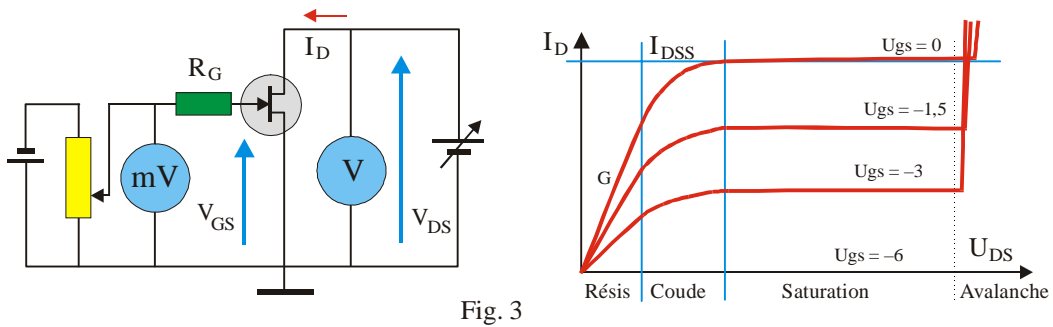


Fig. 3

2.2 – Interprétation du fonctionnement

□ Zone résistive

Dans une jonction polarisée en inverse existe une zone isolante (sans porteurs libres) dont l'épaisseur e est fonction de la tension inverse ($e \approx k\sqrt{V_{GS}}$). Cette zone isolante qui correspond aux jonctions grille-canal et substrat-canal diminue la largeur effective du canal.

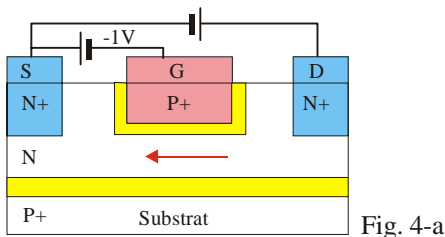


Fig. 4-a

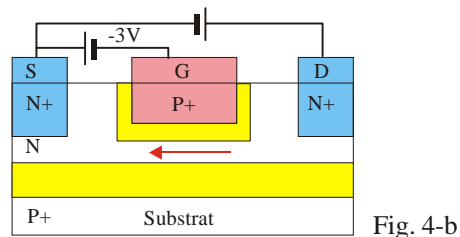


Fig. 4-b

Pour les tensions V_{DS} faibles, le canal se comporte comme une résistance ohmique dont la valeur est fonction de sa section et donc de la tension inverse entre la grille et la source. Le JFET est alors équivalent à une résistance commandée par une tension. Pour une valeur V_P suffisamment négative de V_{GS} , la conduction s'annule. On dit que le canal est « pincé » et que V_P est la tension de pincement.

□ Zone du coude

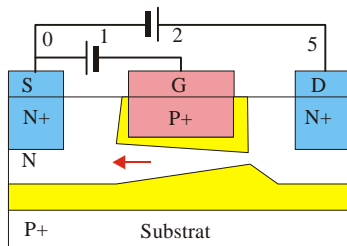


Fig. 5

La largeur de la zone isolante est également influencée par la tension entre le drain et la source. Du côté de la source sa largeur est : $e_1 = k\sqrt{V_{GS}}$.

Du côté du drain, elle est : $e_2 = k\sqrt{V_{GD}}$. Quand V_{DS} augmente, la valeur du courant drain résulte de deux phénomènes compétitifs : une croissance liée au caractère ohmique du canal et une diminution liée au pincement progressif de ce canal.

□ Zone de saturation

Dans cette zone tout accroissement de V_{DS} qui augmenterait le courant I_D augmente aussi le pincement. Quand le canal se pince, la densité du courant augmente jusqu'à ce que les porteurs atteignent leur vitesse limite : le courant drain reste constant et le transistor est dit saturé. La valeur maximum de I_D pour $V_{GS} = 0$, qui correspond au pincement du canal est notée I_{DSS} .

□ Zone d'avalanche

Elle résulte d'un claquage inverse de la jonction drain-grille. Ce claquage est destructeur du dispositif si rien ne limite le courant drain.

□ Influence de la température

La largeur de la zone de déplétion diminue avec la température ce qui induit une croissance du courant drain. Mais la mobilité des porteurs diminue avec la température. C'est le second effet qui est prépondérant pour les courants drain élevés et il n'y a pas de risque d'emballement thermique avec les transistors à effet de champ.

3 – Réseaux de caractéristiques

3.1 – Réseau d'entrée

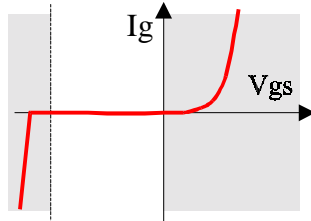


Fig. 6

Les transistors JFET doivent uniquement être utilisés avec des tensions V_{GS} négatives et inférieures à la tension de claquage inverse.

La caractéristique d'entrée est celle d'une diode polarisée en inverse. On a donc toujours :

$$I_G = 0$$

3.2 – Réseau de sortie

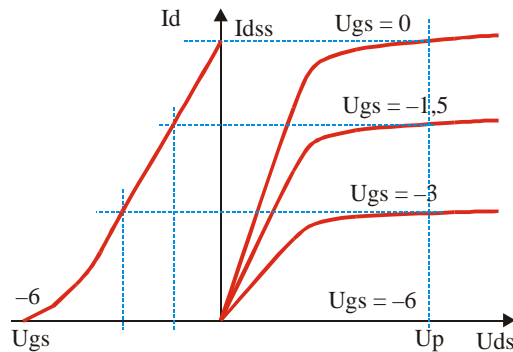


Fig. 7

C'est le réseau des courbes $I_D = f(V_{DS})$ avec $V_{GS} = \text{Constante}$.

Ce réseau est caractérisé par trois régions utiles :

- la région ohmique,
- la zone de coude,
- la zone de saturation.

Dans cette zone, on note une légère croissance de I_D avec V_{DS} car la longueur effective du canal diminue.

3.3– Réseau de transfert ou de transconductance

Ce réseau correspond aux courbes $I_D = f(V_{GS})$ pour $V_{DS} = \text{Constante}$.

Les caractéristiques sont des droites pour la partie ohmique. Dans la zone de saturation pour les valeurs supérieures de V_{DS} , la caractéristique est parabolique et on peut écrire en première approximation que :

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

Les JFET sont caractérisés par une grande dispersion des valeurs des paramètres. Pour un même type, le courant drain maximum I_{DSS} et la tension V_{GS} de pincement V_P peuvent varier d'un facteur 4 à 5. Ainsi pour un 2N 5459, on note les valeurs suivantes :

$$4 \text{ mA} < I_{DSS} < 16 \text{ mA et } -2 \text{ V} > V_P > -8 \text{ V.}$$

4 – Polarisation des transistors à effet de champ

A cause de cette dispersion des paramètres, il est impossible de régler le point de fonctionnement en imposant le potentiel de grille car I_D peut varier de manière trop importante pour un V_{GS} donné.

EXERCICE : en utilisant l'expression de I_D en fonction des valeurs de I_{DSS} et de V_P montrer que pour un 2N 5459, on a : $1 \text{ mA} < I_D < 12 \text{ mA}$ si on choisit $V_{GS} = -1 \text{ V}$.

4.1– Polarisation automatique

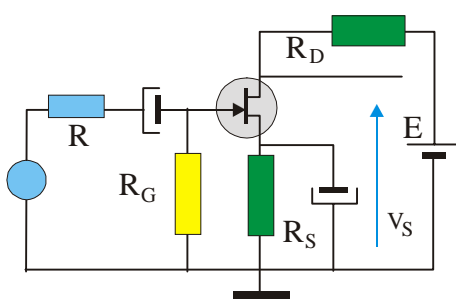
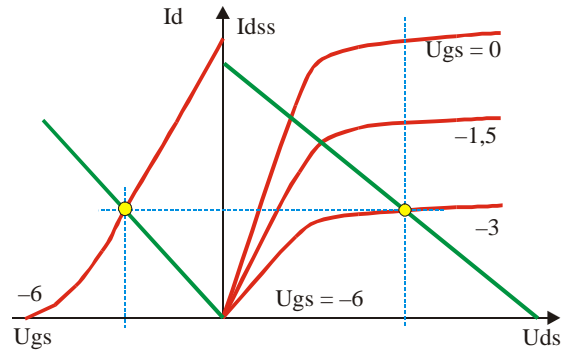


Fig. 8



La grille est reliée à la masse par une résistance R_G de forte valeur. Comme le courant grille est nul, le potentiel de grille est nul. Le courant drain produit dans la résistance de source une chute de tension égale à $R_S \cdot I_D$. La tension grille-source vaut donc : $V_{GS} = V_{GM} - V_{SM} = -R_S \cdot I_D$. La grille est bien négative par rapport à la source.

L'équation de la droite d'attaque est : $V_{GS} = -R_S \cdot I_D$

et celle de la droite de charge est : $V_{DS} = E - (R_S + R_D) \cdot I_D$

L'intersection de $I_D = -V_{GS}/R_S$ avec la caractéristique de transfert définit la tension V_{GS} et la valeur de I_D . L'intersection de la droite de charge et de la caractéristique qui correspond à V_{GS} donne la valeur de V_{DS} .

Si le courant drain augmente, la chute de tension dans la résistance de source augmente ce qui diminue la conduction du canal et donc le courant drain. Il y a une contre-réaction qui stabilise le point de fonctionnement.

4.2– Polarisation par pont diviseur

On utilise comme pour les transistors bipolaires une polarisation par pont de base et résistance de source.

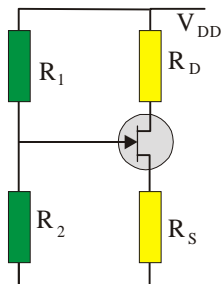


Fig. 9

Le potentiel appliqué à la grille est :

$$V_{GM} = R_2 / (R_1 + R_2) \cdot V_{DD}$$

Le potentiel de la source est $V_{SM} = R_S \cdot I_D$. Comme $V_{SM} = V_{GM} - V_{GS}$, la valeur du courant drain est donc : $I_D = (V_{GM} - V_{GS}) / R_S$.

Si l'on prend V_{GM} beaucoup plus grand que V_{GS} , la stabilisation sera assurée.

Si l'on souhaite une stabilisation parfaite, il est possible d'utiliser un transistor bipolaire monté en source de courant constant dont la charge sera constituée par le transistor à effet de champ.

5 – Schéma équivalent en petits signaux

L'examen des caractéristiques d'un JFET polarisé dans la zone de saturation montre que les équations qui régissent le fonctionnement sont :

En entrée : $i_G = 0$

En sortie : $i_D = s_s \cdot v_{GS} + 1/\rho \cdot v_{DS}$.

On définit la pente ou transconductance par : $s = \frac{\Delta I_D}{\Delta V_{GS}} = \left(\frac{i_D}{v_{GS}} \right)_{v_{DS}=\text{Const}}$

et la résistance interne par : $\rho = \frac{\Delta v_{DS}}{\Delta I_D} = \left(\frac{v_{DS}}{i_D} \right)_{v_{GS}=\text{Const}}$

En utilisant la relation $I_D = I_{DSS} \cdot (1 - V_{GS}/V_P)^2$, on obtient l'expression suivante pour la valeur de la pente :

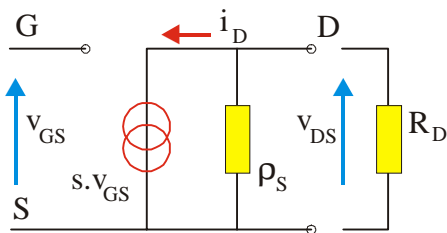


Fig. 10

$$s = 2 \cdot I_{DSS} \cdot \left(1 - \frac{V_{GS}}{V_P}\right) \cdot \left(\frac{-1}{V_P}\right)$$

Pour les transistors petits signaux les valeurs typiques de la pente et de la résistance interne sont :

$$s \approx \text{quelques mA/V} \quad \rho \approx 10 \text{ k}\Omega \text{ à } 100 \text{ k}\Omega$$

En entrée, on applique une tension V_{GS} et le courant consommé est nul. En sortie le FET se comporte comme un générateur de courant d'intensité $s \cdot V_{GS}$ en parallèle avec une résistance ρ . Ce schéma simplifié permet d'interpréter le fonctionnement des JFET montés en amplificateur.

La caractéristique de transconductance étant parabolique les FET déforment les signaux de grande amplitude. Il faut satisfaire la condition $i_D \ll I_D$ pour limiter la distorsion du signal. On prend souvent $i_D \approx I_D/10$.

Comme pour les transistors bipolaires trois montages peuvent être envisagés. Le montage grille commune ne sera pas étudié car il n'est pratiquement pas utilisé.

6 – Montage source commune

Avec une polarisation automatique ou par pont de grille, il faut introduire une résistance de source dont la présence diminue le gain de l'étage. Il est possible de placer en parallèle sur la résistance R_S un condensateur de découplage. Pour les signaux variables la source est alors au potentiel de la masse.

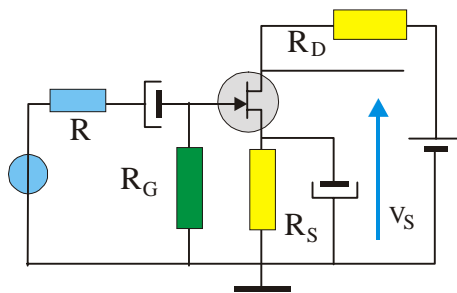


Fig. 11

Le schéma équivalent du montage est alors le même que celui du transistor. La résistance de sortie est :

$$R_{OUT} = \rho_{DS} // R_D // R_U$$

La tension d'entrée est $v_E = v_{GS}$

Le gain en tension est donc :

$$v_S = -R_{OUT} \cdot i_D = -s \cdot R_{OUT} \cdot v_{GS}$$

$$A_V = -s \cdot R_{OUT}$$

Ce montage est donc caractérisé par une très grande impédance d'entrée, une impédance de sortie moyenne et un gain en tension moyen et négatif : il existe un déphasage de 180° entre l'entrée et la sortie.

MONTAGE NON DECOUPLE :

Soit r_s la partie non découplée de la résistance de source ($R_S = R'_S + r_s$). La tension d'entrée est alors : $v_E = s \cdot v_{GS} + r_s \cdot i_D = s \cdot v_{GS} + r_s \cdot s \cdot v_{GS} = v_{GS}(1 + s \cdot r_s)$.

Le gain en tension devient : $A_V = -s \cdot R_D / (1 + s \cdot r_s) \approx -R_D / r_s$

L'utilisation de la notion de transconductance ou pente permet de mettre en évidence l'analogie qui existe entre les montages source commune et les montages émetteur commun.

7 – Montage drain commun

Le signal de sortie est prélevé aux bornes de la résistance de source.

L'impédance de sortie est : $\rho_S = R_S // \rho_{DS} // R_U$

La tension de sortie est : $v_S = s \cdot v_{GS}$

En entrée, on a : $v_{GS} = v_{GM} - v_{SM} = v_E - v_S$

$$v_S = s \cdot \rho_S (v_E - v_S) \quad \Rightarrow \quad v_S (1 + s \cdot \rho_S) = s \cdot \rho_S \cdot v_E$$

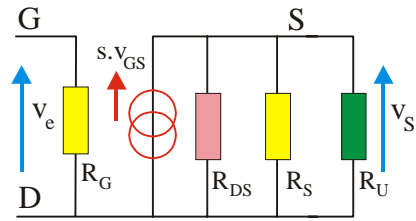
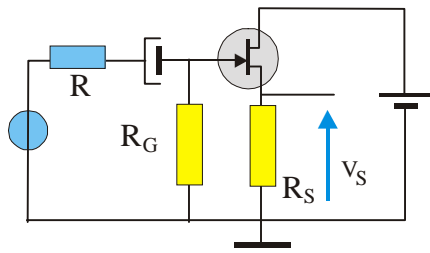


Fig. 12

La valeur du gain en tension est donc : $A_v = \frac{s \cdot \rho_s}{(1 + s \cdot \rho_s)} < 1$

L'impédance d'entrée est : $Z_E = R_G$

Le calcul de l'impédance de sortie est un peu plus délicat. Par définition, celle-ci est égale au quotient de la tension de sortie à vide par le courant de court-circuit :

$$Z_s = \frac{V_s}{i_{CC}} = \frac{A_v \cdot v_E}{i_{CC}} \text{ et } i_{CC} = s \cdot v_{GS} = s \cdot (v_E - v_S).$$

Si la sortie est en court-circuit, la tension de sortie est nulle et donc $i_{CC} = s \cdot v_E$

$$Z_s = \frac{\left(\frac{s \cdot \rho_s}{1 + s \cdot \rho_s} \right) \cdot v_E}{s \cdot v_E} = \frac{\rho_s}{1 + s \cdot \rho_s} < \rho_s$$

Ce montage est caractérisé par un gain en tension légèrement inférieur à l'unité, une très grande impédance d'entrée et une impédance de sortie faible. C'est un montage adaptateur d'impédance.

8 – Applications spécifiques des FET

□ Interrupteur analogique

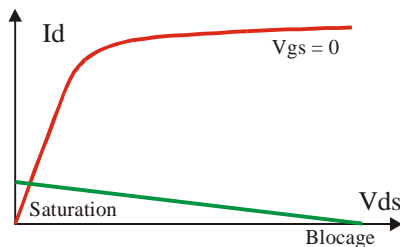


Fig. 13

On considère un FET dont la source est à la masse. Pour une tension V_{GS} nulle, le transistor étant saturé présente une résistance R_{DS} faible ($\approx 100 \Omega$). Si par contre V_{GS} est très négatif il est bloqué et la résistance R_{DS} est très grande. Cette propriété est très utilisée dans les interrupteurs analogiques qui permettent la commutation de signaux alternatifs.

On utilise soit la connexion « shunt » soit la connexion « série ». Dans les deux cas l'interrupteur n'est pas parfait et

présente une résistance R_{DS} .

Le modèle série peut être utilisé

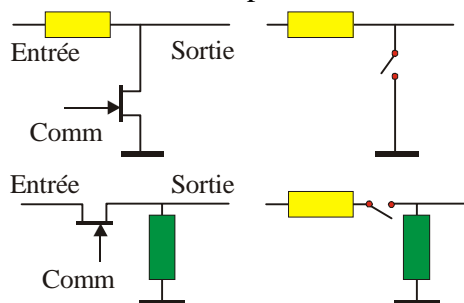


Fig. 14

comme « hacheur » de signal : les signaux lentement variables avec le temps sont difficiles à amplifier. On applique sur la grille une tension de commande rectangulaire variant entre 0 et la tension de blocage du FET. On transforme ainsi le signal d'entrée continu en un signal alternatif rectangulaire dont la fréquence est celle du générateur de commande. Il est alors possible d'utiliser un amplificateur alternatif conventionnel pour amplifier le signal. On effectue ensuite un redressement pour obtenir l'image amplifiée du signal original.

□ Résistance commandée par une tension

Dans la région ohmique, la résistance drain-source R_{DS} est fonction de la valeur de V_{GS} . Plus cette tension est négative et plus R_{DS} est grand. Pour V_{GS} nul, la valeur de R_{DS} est voisine

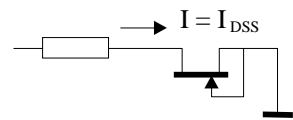
d'une centaine d'ohms. Si la tension aux bornes de R_{DS} est inférieure à 100 mV, le FET peut être utilisé avec des tensions alternatives. On peut utiliser cette résistance commandée en tension pour stabiliser le taux de réaction dans un oscillateur.

□ Résistance non linéaire

Un transistor dont la grille est reliée au drain se comporte comme une résistance non linéaire dont la caractéristique est le lieu des points tels que $V_{DS} = V_{GS}$.

□ Source de courant

On trouve dans les catalogues des constructeurs des diodes à courant constant qui sont en fait des transistors à effet de champ dont la grille est reliée à la source. Cette « diode » se comporte comme un générateur de courant constant égal à I_{DSS} (gamme 0,2 à 5 mA) et de résistance interne R (gamme 20 M Ω à 200 k Ω). La chute de tension dans la diode doit rester inférieure à la tension de claquage du transistor.



9 – Comparaison avec les transistors bipolaires

Il existe beaucoup d'analogies entre les montages amplificateurs réalisés soit avec des FET soit avec des transistors à jonction. Les montages source commune se comportent comme les montages à émetteur commun et les montages drain commun comme les montages à collecteur commun.

□ Les avantages des FET sont :

- une grande résistance d'entrée
- le faible niveau de bruit lié au fait qu'il n'y a qu'un seul type de porteurs et donc pas de recombinaisons.

□ Les inconvénients des FET sont :

- une faible pente
- le manque de linéarité
- la grande dispersion des caractéristiques
- la polarité opposée des tensions V_{DS} et V_{GS} qui interdit les liaisons directes entre étages.

Dans les montages amplificateurs, les FET seront principalement utilisés dans l'étage d'entrée. On profite de leur grande impédance d'entrée qui permet de ne pas perturber la source. Dans ce premier étage l'amplitude des signaux est petite et de ce fait l'influence de la non linéarité du transistor est minime si la polarisation est correcte. Pour les étages suivants, on utilisera des transistors bipolaires qui autorisent une plus grande dynamique au niveau de l'amplitude des signaux.

B – TRANSISTORS METAL OXYDE (MOSFET)

1 – Structure

MOSFET est un acronyme pour « Metal Oxide Semiconductor Field Effect Transistor ». Les MOSFET ou transistors MOS sont des transistors à effet de champ dont la grille métallique est totalement isolée du canal par une mince couche isolante d'oxyde de silicium (SiO_2) d'épaisseur voisine de 0,1 μm .

La grille, la couche de silice et le canal constituent un condensateur dont la polarisation peut modifier la conductivité du canal. Le changement peut résulter soit d'une modification de la concentration en porteurs majoritaires et l'on a des **MOS à canal diffusé** ou à **déplétion**, soit d'une modification de la concentration en porteurs minoritaires et l'on a alors des **MOS à canal induit** ou à **enrichissement**.

Pour ce type de transistors le courant d'entrée est nul puisque que la grille est isolée. La résistance d'entrée est toujours supérieure à $10^{10} \Omega$.

2 – MOS à canal diffusé

2.1 – Structure et fonctionnement

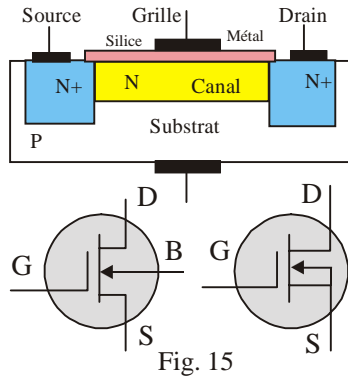


Fig. 15

Sur un substrat (B) dopé P sont diffusées deux zones très dopées N^+ formant le drain et la source reliées par un canal dopé N. Il existe également des MOS avec un canal P et qui fonctionnent avec des tensions et des courants opposés à ceux ayant un canal N.

Sur le symbole utilisé pour la représentation des MOS à canal diffusé, le canal est représenté par un trait continu. Une flèche figure la jonction substrat-canal, elle est orientée dans le sens passant de la diode. Les quatre électrodes peuvent être accessibles mais le substrat et la source peuvent être reliés en interne.

interne.

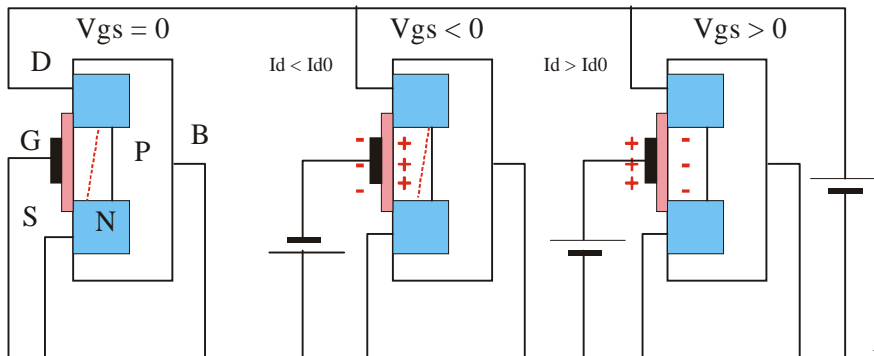


Fig.16

Pour un potentiel V_{GS} nul et sous l'action de la tension drain-source, un courant drain I_D circule dans le canal. Sa section diminue quand on se rapproche du drain. Si V_{GS} est négatif, on induit par effet capacitif des charges positives dans le canal et donc des recombinaisons : la population en électrons diminue et la conduction du canal diminue. Le potentiel du canal est d'autant plus positif que l'on se rapproche du drain. Au contraire, si V_{GS} est positif la zone appauvrie en porteurs régresse dans le canal et le courant drain augmente. Selon la valeur de la tension grille-source, le canal est plus ou moins conducteur.

2.2 – Caractéristiques

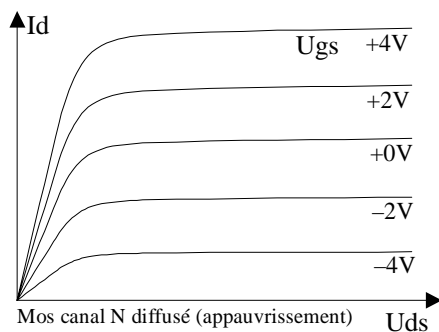


Fig. 17

Pour les tensions V_{GS} positives, il y a un accroissement du nombre de porteurs libres dans le canal (enrichissement) et pour les tensions V_{GS} négatives, on a un appauvrissement. L'expression du courant drain est comme pour un JFET donnée par :

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

mais cette fois V_{GS} peut être positif ou négatif.

La polarisation de ce type de transistor est particulièrement simple car on peut le polariser avec la

grille à la masse ($V_{GS} = 0$). On peut également utiliser les mêmes méthodes de polarisation que pour les JFET. Les applications de ce type de transistor sont les mêmes que celles des transistors à effet de champ à jonction.

3 – MOS à canal induit

3.1 – Structure et fonctionnement

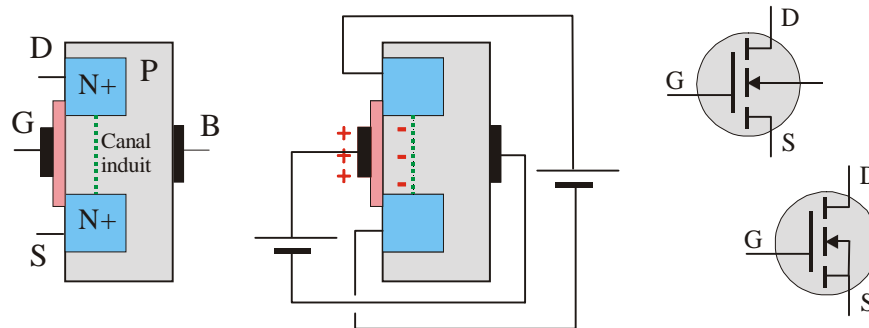


Fig. 18

Pour ce type de transistor il n'y a pas de canal créé lors de la fabrication. Pour les tensions de grille V_{GB} négatives, la jonction drain-substrat est bloquée et le courant drain I_D est nul. Les seuls porteurs libres dans la zone P sont des électrons d'origine thermique. Si V_{GB} est assez positif, les charges négatives du matériau P se regroupent au voisinage de la grille et forment une couche conductrice entre le drain et la source. Cette couche se comporte comme une zone N qui est induite dans la zone P par inversion de la population des porteurs.

La tension de seuil minimale pour induire un canal est notée V_{th} (th est mis pour threshold = seuil). Si V_{GB} croît au-delà du seuil, la section du canal augmente et I_D croît. Par construction le substrat est souvent relié à la source et V_{GB} est alors égal à V_{GS} . Sur le symbole des MOS à canal induit, le canal est représenté par un trait discontinu. Une flèche indique le sens pour lequel la jonction substrat-canal est passante. Il existe également des transistors complémentaires dans lesquels le canal induit est de type P.

3.2 – Caractéristiques

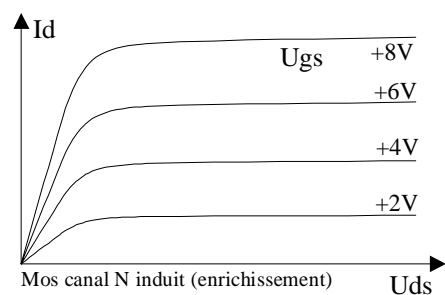


Fig. 19

Les caractéristiques de sortie de ce type de transistor ont l'aspect habituel de celles des transistors à effet de champ.

La caractéristique de transconductance est parabolique et son équation est de la forme :

$$I_D = K(V_{GS} - V_{th})^2.$$

Les tensions de commande et de sortie ont cette fois le même signe : la liaison directe est possible entre les étages successifs.

4 – Utilisations des transistors MOS

4.1 – Généralités

La couche de silice qui isole la grille de commande est tellement mince qu'elle sera détruite par une tension grille-source excessive. Le simple fait d'apporter des charges statiques sur la grille peut provoquer la destruction du dispositif. En effet la capacité du condensateur grille-silice-canal est si petite que même des quantités minimales d'électricité peuvent créer des champs électriques supérieurs au seuil de claquage de l'isolant. Ce claquage est irréversible et destructeur.

La manipulation des transistors MOS suppose quelques précautions telles que la mise à la masse des opérateurs, l'usage de conditionnements conducteurs, l'emploi de plans de travail conducteurs, l'utilisation d'anneaux conducteurs reliant les électrodes qui sont retirés après soudure du composant sur le circuit. Ces transistors sont souvent protégés par une diode Zener incorporée lors de la fabrication entre la source et la grille. L'inconvénient de cette protection très efficace est qu'elle diminue beaucoup la résistance d'entrée.

❑ Avantages des transistors MOS

- ◆ Leur principal avantage est la résistance d'entrée qui est très grande $R_e \approx 10^{12} \Omega$ Pour un transistor à effet de champ à jonction, la résistance d'entrée est de l'ordre de $10^8 \Omega$.
- ◆ Le bruit intrinsèque est toujours très faible.
- ◆ Ce type de transistor est simple à fabriquer et par suite peu onéreux.
- ◆ La densité d'intégration autorisée par ce type de composant est très importante : on dépasse aujourd'hui le nombre de 10^7 transistors sur une seule puce.

❑ Inconvénients des transistors MOS

- ◆ La vitesse de commutation est plus faible que celle des transistors bipolaires.
- ◆ La pente est faible.
- ◆ La dispersion des paramètres est élevée.
- ◆ Il est nécessaire de prévoir une protection des entrées.

4.2 – Utilisations des transistors MOS

Ce sont les mêmes que celles des JFET : ils sont utilisés en amplification et en commutation. Avec des MOS dont les quatre électrodes sont accessibles on peut réaliser des commutateurs « série » performants.

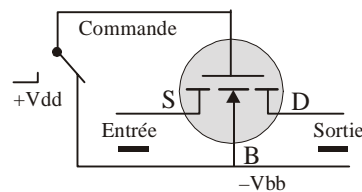


Fig. 20

Si $U_{GB} = V_{BB} \leq 0$ le MOS est bloqué. La résistance R_{DS} est supérieure à $10^{10} \Omega$ ce qui correspond à un circuit ouvert.
Si $U_{GB} = V_{DD} > 0$ est grand, le MOS est conducteur et R_{DS} vaut quelques ohms.

Le transistor constitue un relais statique dont la puissance de commande est négligeable.

Ces commutateurs sont beaucoup utilisés dans les hacheurs de signaux et dans les multiplexeurs (circuits qui permettent de relier successivement plusieurs signaux à l'entrée d'un même dispositif).

Les transistors MOS sont aussi très utilisés en commutation logique pour la réalisation de portes. Ils sont simples à fabriquer. La dissipation thermique et la consommation sont très faibles ce qui autorise une très forte intégration et la réalisation de systèmes alimentés avec des piles miniatures. Toutefois pour les applications de commutation, on préfère utiliser des paires de transistors complémentaires dites « CMOS ». (Le C correspond à *Complementary*)

5 – Transistors CMOS

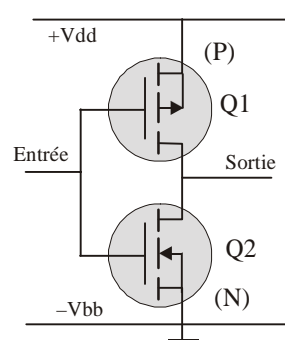


Fig. 21

Le circuit de base de cette technologie est l'inverseur CMOS.

Si l'entrée est au niveau logique 1 ($E = +V_{DD}$) le transistor Q_1 (canal P) est bloqué et le transistor Q_2 (canal N) est saturé. Le potentiel de la sortie S est donc égal à $-V_{BB}$ qui correspond au niveau logique 0.

A contrario quand l'entrée est au niveau logique 0 ($E = -V_{BB}$) le transistor Q_1 est saturé et le transistor Q_2 est bloqué. La sortie S est au potentiel $+V_{DD}$.

On réalise ainsi un inverseur logique. En dehors des périodes de transition un seul transistor est passant et de ce fait aucun courant ne circule entre V_{DD} et V_{BB} .

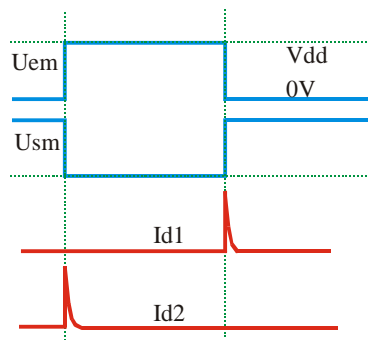
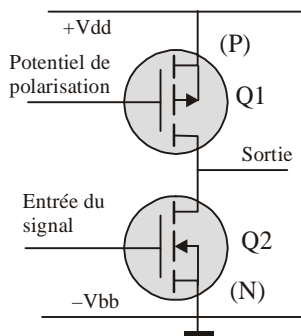


Fig. 22

C'est pour cette raison que la consommation des circuits est aussi faible.

Lors des périodes de transition, il apparaît une impulsion de courant entre V_{DD} et V_{BB} . Elle est due à la charge des condensateurs équivalents aux entrées des transistors suivants. Si la consommation est pratiquement nulle en basse fréquence (fractions de mW), elle croît avec la vitesse de fonctionnement du circuit. En haute fréquence, la consommation peut devenir comparable à celle de circuits réalisés avec des transistors bipolaires.



Il est aussi possible de constituer des amplificateurs avec une paire de CMOS ; le transistor de type P est polarisé par un potentiel continu constant appliqué sur sa grille. Il se comporte alors comme une résistance qui constitue la résistance de charge du transistor de type N.

La surface occupée sur une puce par un transistor est bien plus faible que celle occupée par une résistance d'où l'intérêt du montage.

Fig. 23

6 – Transistors V-MOS

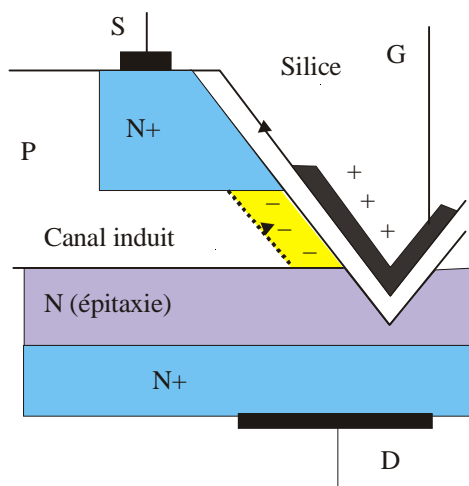


Fig. 24

jusqu'à plus de 500 MHz.

Dans ce type de transistor à structure verticale, le substrat joue le rôle du drain. Quand la tension V_{GS} est supérieure à la tension de seuil, un large canal N est induit dans la zone P de la rainure du V par inversion de population. Pour ce type de transistor le courant drain peut atteindre plusieurs ampères et contrairement aux MOS conventionnels la pente est constante et voisine de 0,25 A/V.

De plus ils ont l'avantage d'avoir une dérive thermique faible. Quand la température augmente leur courant drain diminue. Il n'y a donc aucun risque d'emballement thermique avec ce type de transistor. Leur temps de commutation est bref et comme les capacités internes sont petites ils sont utilisables

[Retour au menu](#) ↗